

(10) Japanese Patent Application Laid-Open No. 5-95116 (1993):
"SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME"

5 The following is an extract relevant to the present application.

10 An amorphous silicon film 11, a nitride silicon film 12, a gate electrode
13, a nitride silicon film 14 are formed on a glass substrate 10, and the nitride
silicon films 12, 14 are patterned to expose the amorphous silicon film 11. A
thin film transistor in which an amorphous silicon film 15, a nitride silicon
film 16 are again formed on the substrate.

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-95116

(43)公開日 平成5年(1993)4月16日

(51)Int.Cl. ⁵ H01L 29/784 27/12	識別記号 8728-4M 9056-4M	庁内整理番号 FI H01L 29/78	技術表示箇所 311 H
--	----------------------------	----------------------------	-----------------

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号 特願平3-253257

(22)出願日 平成3年(1991)10月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野口 今朝男

東京都港区芝五丁目7番1号日本電気株式会社内

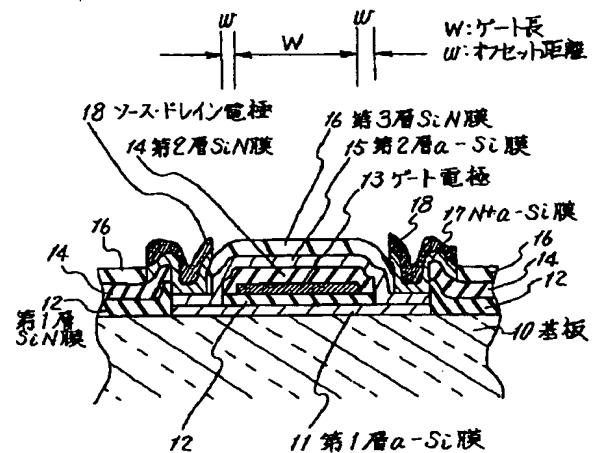
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】ダブルチャネル型トランジスタのON電流を十分に保ち、ゲートとソース・ドレイン間の破壊する欠陥を減少させ、歩留を向上させる。

【構成】ガラス基板10上に、アモルファスシリコン膜11、窒化シリコン膜12、ゲート電極13、窒化シリコン膜14を形成し、窒化シリコン膜12、14をパターニングしてアモルファスシリコン膜11を露出させる。その上に再びアモルファスシリコン膜15を形成し、ゲート電極13の両端にN⁺型アモルファスシリコン膜17及び電極18を形成して、それぞれソース領域、ドレイン領域とする。



【特許請求の範囲】

【請求項1】 基板上に第1の半導体層を有し、前記第1の半導体層上に第1の絶縁膜を有し、前記第1の絶縁膜上にゲート電極を有し、前記ゲート電極上に第2の絶縁膜を有し、前記第2の絶縁膜上に第2の半導体層を有し、前記第1の半導体層及び第2の半導体層と電気的に接続するソース電極及びドレイン電極を有することを特徴とする半導体装置。

【請求項2】 前記ゲート電極と前記ソース電極の距離及び前記ゲート電極と前記ドレイン電極の距離がそれぞれ0.5 μ m以上3 μ m以下であることを特徴とする請求項1記載の半導体装置。

【請求項3】 基板上に第1の半導体層を形成する工程と、前記第1の半導体層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にゲート電極を形成する工程と、前記ゲート電極及び前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第1の半導体層の前記ゲート電極下の部分の両端部の各1部を露出させる工程と、前記第2の絶縁膜及び前記第1の半導体層上に第2の半導体層を形成する工程と、前記第2の半導体膜上にソース電極及びドレイン電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に関し、特に単一ゲート電極でダブルチャネル構造の薄膜トランジスタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来の薄膜トランジスタはアモルファスシリコンを活性層に用いたトランジスタが多い。ところが、アモルファスシリコンは結晶シリコンやポリシリコンと比べ、電子移動度が小さく動作ON電流が小さい。このため複数のトランジスタで回路を駆動したり、チャネル幅の大きいトランジスタ構造や、ダブルチャネル構造を有したトランジスタ構造とする例があった。

【0003】又、薄膜トランジスタの製造工程歩留は高くなく、薄膜トランジスタの欠陥が多い。このため、冗長に対となるトランジスタを設ける場合もあった。

【0004】このような、従来の薄膜トランジスタは、複数のトランジスタやチャネル幅の大きいトランジスタとすることで、占有面積が大となり、高精細な回路には不利となる問題を有していた。

【0005】一方、ダブルチャネル構造とした図3に示すような薄膜トランジスタの場合は、ゲート電極をダブルで有し、第一層ゲート電極31と第二層ゲート電極32とでシリコンナイトライド12、14を介してアモルファスシリコン活性層11に上下ダブルのチャネルを形成できる。このため平面的なダブルトランジスタよりも占有面積は小さいままでON電流を増大できた。このゲ

ート電極31とソース・ドレイン電極18とはオーバーラップを有する構造となっていた。このオーバーラップ距離 w' は通常3~5 μ mとすることが多い。これはバターンングプロセス精度のみならず、オーバーラップを有する方が、ON電流が得られやすいためである。

【0006】しかし、このようなゲート電極とソース・ドレイン電極とのオーバーラップ構造を有する薄膜トランジスタでは、ゲートとソース・ドレイン間の電界集中や、突発的な静電印加による電界により破損する欠点の問題となっていた。

【0007】そこで、図4に示す薄膜トランジスタの場合のように、ゲートとソース・ドレイン間をオフセットする構造が考えられたが、オフセット距離 w を3 μ m以上取らないと前述の破損を防ぐことが困難であった。しかし、オフセット距離を安全のため4~5 μ mとした場合、要望のON電流より1桁も小さいものとなってしまいう問題があった。

【0008】

【発明が解決しようとする課題】前述したように従来のダブルチャネル薄膜トランジスタではゲートとソース・ドレイン間の破壊する欠陥が多く、一方破壊を防ぐオフセット距離を取ると、ON電流が得られにくいというような問題点があった。

【0009】

【課題を解決するための手段】本発明によれば、基板上に第1の半導体層を有し、第1の半導体層上に第1の絶縁膜を有し、第1の絶縁膜上にゲート電極を有し、ゲート電極上に第2の絶縁膜を有し、第2の絶縁膜上に第2の半導体層を有し、第1の半導体層及び第2の半導体層と電気的に接続されているソース電極及びドレイン電極を有する半導体装置が得られる。

【0010】更に、本発明によれば、前述のゲート電極とソース電極の距離及びゲート電極とドレイン電極の距離がそれぞれ0.5 μ m以上3 μ m以下である半導体装置が得られる。

【0011】更にまた、本発明によれば、基板上に第1の半導体層を形成する工程と、第1の半導体層上に第1の絶縁膜を形成する工程と、第1の絶縁膜上にゲート電極を形成する工程と、ゲート電極及び第1の絶縁膜上に第2の絶縁膜を形成する工程と、第1の絶縁膜及び第2の絶縁膜のゲート電極を含む領域を残してエッチングし、第1の半導体層を露出させる工程と、第2の絶縁膜及び第1の半導体層上に第2の半導体層を形成する工程と、第2の半導体膜上にソース電極及びドレイン電極を形成する工程とを含む半導体装置の製造方法が得られる。

【0012】

【実施例】次に本発明について図面を参照して説明する。

【0013】図1は本発明の一実施例を示す薄膜トラン

10

20

30

40

50

ジスタの断面図である。

【0014】ガラス等の透明絶縁性基板10上にプラズマCVDによりアモルファスシリコン(a-Si)を積層し、第一層a-Si膜11を第1の活性層としてパターンニングする。次に、同様にプラズマCVDによりシリコンナイトライド(SiN)を積層し、第一ゲート絶縁膜とする第一層SiN膜12を形成する。次にスパッタによりクロム(Cr)膜を積層し、ゲート電極13をパターンニングする。次に、プラズマCVDによりSiNを積層し、ゲート電極端からオフセット距離wとして0.5μmを有したソース・ドレイン電極部の開口部を第一層SiN及び第二層SiN膜を通してパターンニングし、第一層a-Si膜が露出される状態とする。その上に、プラズマCVDによりa-Siを積層し、第二層a-Si膜15を第2の活性層としてパターンニングし、第二層a-Si膜が第一層a-Siと前記開口部で接合した構造とする。さらに上層にプラズマCVDによりSiNを積層し、パッシベーション膜として第三層SiN膜16をソース・ドレイン電極部を開口してパターンニングする。しかる後プラズマCVDによりn⁺a-Si膜17及びスパッタによりCr膜を積層し、ソース・ドレイン電極18をパターンニングする。

【0015】以上のような積層順、パターンニングによる構造とすることで、第一、第二層a-Si膜11、15にチャンネルを単一ゲート電極13でダブルに形成できる薄膜トランジスタが得られる。

【0016】このような構造の薄膜トランジスタは、ゲート電極13とソース・ドレイン電極18とのオーバーラップが無く電界集中及び静電気による破壊を防ぐことができる。

【0017】次に、上述した構造とは基本的には同じであるが、オフセット距離を種々変化させた薄膜トランジスタを作成した。その薄膜トランジスタのON電流をオフセット距離をパラメータに評価した結果、図2のような結果が得られた。

【0018】図2によれば、オフセット距離が3μm以下であれば10⁻⁷AのON電流が得られ、回路の駆動が可能レベルとすることができた。

【0019】つまり、従来構造の薄膜トランジスタと比

べ、オフセット距離を小さくかつ、破壊に強くできる構造にできるため、0.3μm程度の第二層SiN膜の膜厚で規定される距離までに小さくでき、ダブルチャンネル構造の利点を十分活かすことができる。

【0020】

【発明の効果】以上説明したように、本発明によれば、ソース・ドレイン間の破壊欠陥を減少させ、また破壊を防ぐためのオフセット距離をとっても、十分なON電流が得られる、という効果を有する。

【0021】更に、オフセット距離を0.5μm以上3μm以下にすることにより、破壊耐性が向上し、十分なON電流が得られる、信頼性の高い半導体装置が得られる。

【0022】更にまた、本発明の製造方法によれば、単一ゲート電極でダブルチャンネル構造の薄膜トランジスタを製造出来、製品の破壊耐性及び歩留を向上させる、という効果を有する。

【図面の簡単な説明】

【図1】本発明による薄膜トランジスタの一実施例を示す断面図である。

【図2】本発明による薄膜トランジスタの実施例の特性図である。

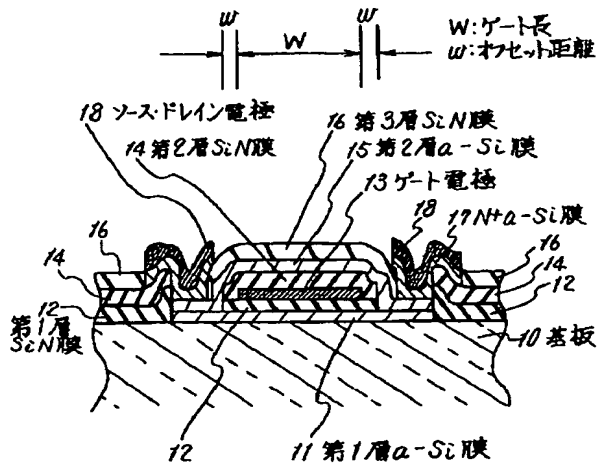
【図3】従来の薄膜トランジスタを示す断面図である。

【図4】従来の薄膜トランジスタを示す断面図である。

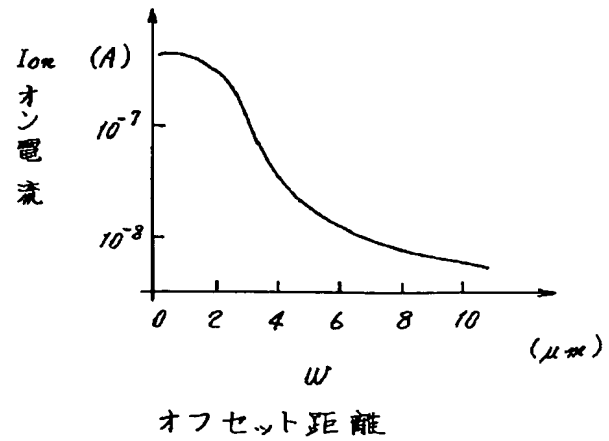
【符号の説明】

- 10 基板
- 11 第一層アモルファスシリコン膜
- 12 第一層窒化シリコン膜
- 13 ゲート電極
- 14 第二層窒化シリコン膜
- 15 第二層アモルファスシリコン膜
- 16 第三層窒化シリコン膜
- 17 N⁺型アモルファスシリコン膜
- 18 ソース・ドレイン電極
- 31 第一層ゲート電極
- 32 第二層ゲート電極
- W ゲート長
- w オフセット距離
- w' オーバーラップ幅

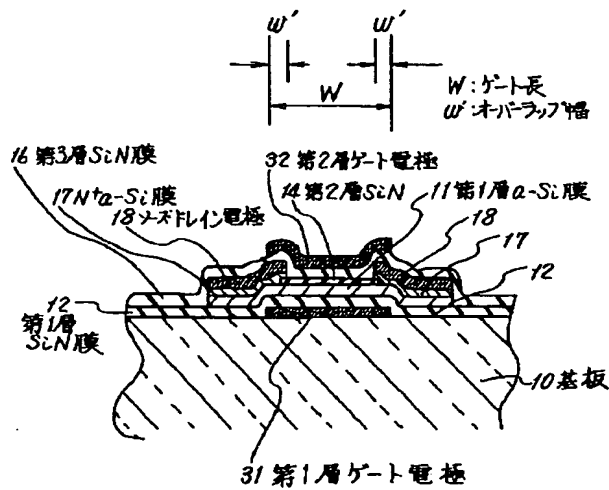
【図1】



【図2】



【図3】



【図4】

